

## ⑫ 公開特許公報(A) 平3-270512

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月2日

H 03 L 7/22

8731-5J

審査請求 未請求 請求項の数 2 (全10頁)

⑮ 発明の名称 周波数シンセサイザ

⑯ 特 願 平2-71226

⑰ 出 願 平2(1990)3月20日

⑱ 発 明 者 遠 藤 洋 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑱ 発 明 者 板 谷 英 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑱ 発 明 者 熊 谷 佳 晶 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 古谷 史旺

## 明 細 書

## 1. 発明の名称

周波数シンセサイザ

## 2. 特許請求の範囲

(1) それぞれ所定の比較周波数  $F_{n1}$ 、 $F_{n2}$  の信号を取り込み、それぞれ対応する周波数間隔で発振周波数を制御する第一の位相同期ループ回路(11)および第二の位相同期ループ回路(13)を備え、

各位相同期ループ回路の出力を混合し、所定の周波数間隔で所定の出力周波数  $F_{out}$  の信号を出力する周波数シンセサイザにおいて、

前記各位相同期ループ回路(11、13)の比較周波数  $F_{n1}$  および  $F_{n2}$  を互いに因数の関係にない値に設定し、

前記各位相同期ループ回路(11、13)の分周数  $N_1$ 、 $N_2$  を、前記比較周波数  $F_{n1}$  と  $F_{n2}$  との最大公約数の周波数間隔で前記出力周波数  $F_{out}$  を可変する所定の組み合わせに応じた値に設定す

ることを特徴とする周波数シンセサイザ。

(2) 請求項1に記載の周波数シンセサイザにおいて、

一方の位相同期ループ回路の分周数は、その出力周波数が少なくとも各位相同期ループ回路(11、13)の比較周波数  $F_{n1}$  および  $F_{n2}$  の最小公倍数の可変幅となる値に設定される

ことを特徴とする周波数シンセサイザ。

## 3. 発明の詳細な説明

## 〔目 次〕

## 概 要

## 産業上の利用分野

従来の技術(第5図、第6図)

発明が解決しようとする課題(第7図)

課題を解決するための手段(第1図)

## 作 用

実施例(第2図～第4図)

発明の効果

## 〔要 要〕

広い周波数範囲にわたる信号を出力する周波数シンセサイザに関し、

出力信号の周波数間隔を小さくした場合に、ループ帯域内の位相雑音特性およびスプリアス特性を共に改善することを目的とし、

それぞれ所定の比較周波数 $F_{m1}$ 、 $F_{m2}$ の信号を取り込み、それぞれ対応する周波数間隔で発振周波数を制御する第一の位相同期ループ回路および第二の位相同期ループ回路を備え、各位相同期ループ回路の出力を混合し、所定の周波数間隔で所定の出力周波数 $F_{out}$ の信号を出力する周波数シンセサイザにおいて、各位相同期ループ回路の比較周波数 $F_{m1}$ および $F_{m2}$ を互いに因数の関係にならない値に設定し、各位相同期ループ回路の分周数 $N_1$ 、 $N_2$ を、比較周波数 $F_{m1}$ と $F_{m2}$ との最大公約数の周波数間隔で出力周波数 $F_{out}$ を可変する所定の組み合わせに応じた値に設定する。

比較器51の一方の入力に取り込まれる。また、位相比較器51の他方の入力には、基準周波数信号REFが比較周波数 $F_m$ の信号として取り込まれる。

ここで、出力周波数 $F_{out}$ は、比較周波数 $F_m$ 、分周数 $N$ とすると、ループが完全にロックしたときには $F_{out} = F_m \cdot N$ の関係をもち、周波数シンセサイザは、この分周数 $N$ に応じた出力周波数 $F_{out}$ を発生する構成である。したがって、例えば出力周波数間隔を125kHzにする場合には、比較周波数 $F_m$ を125kHzにする必要がある。

ところで、PLL回路では、位相雑音とともに近接チャネルのスプリアスが問題となる。なお、位相雑音は、PLL回路の自然角周波数 $\omega_n$ の内側と外側でその性格が異なり、 $\omega_n$ の内側では位相比較器のノイズフロア $P_{nr}$ がPLL回路によって遷倍された雑音が主であり、この出力位相雑音 $P_r$ は、

$$P_r = P_{nr} + 20 \log N \quad (\text{dBc/Hz}) \quad \dots(1)$$

で表すことができる。さらに、分周数 $N$ による雑

## 〔産業上の利用分野〕

本発明は、広い周波数範囲にわたる信号を出力する周波数シンセサイザに関する。

衛星通信の分野では、例えば500MHzの広帯域を複数のチャネルに分割して使用しているが、近年大容量伝送のためにチャネル数の増加が求められている。したがって、出力周波数間隔が細かく設定でき、かつ低雑音の信号源が要求されている。

## 〔従来の技術〕

第5図は、位相同期ループ(PLL)回路を用いた従来の周波数シンセサイザの構成を示すブロック図である。

図において、位相比較器51は2入力の位相あるいは周波数差を検出し、その位相差を積分して直流を得るためのループフィルタ(LF)53を介して、電圧制御発振器(VCO)55の発振周波数を制御する。電圧制御発振器55の出力は、周波数シンセサイザの出力として取り出されるとともに、可変分周器(1/N)57を介して位相

音劣化量 $P_r$ は、

$$P_r = 20 \log N \quad (\text{dB}) \quad \dots(2)$$

であり、ともに $N$ が大きくなるとループ帯域内の雑音特性が劣化することがわかる。

ここで、出力周波数 $F_{out} = 1\text{GHz}$ 、比較周波数 $F_m = 125\text{kHz}$ とすると、分周数 $N$ は8000( $F_{out}/F_m$ )となり、ループ帯域内の雑音劣化量 $P_r$ は、78.1( $=20\log 8000$ )dBとなる。

一方、自然角周波数 $\omega_n$ の外側では、電圧制御発振器(VCO)の雑音が主であるが、ここでは特に問題としない。

また、スプリアスは、位相比較器から出力される位相誤差信号に含まれる比較周波数 $F_m$ 成分がループフィルタにより完全に除去できず、電圧制御発振器の制御信号にリプルとして残留するために発生する。ここで、ループフィルタ時定数 $\tau_1$ 、 $\tau_2$ 、比較周波数 $F_m$ の高調波の次数 $n$ 、位相誤差信号に残留するパルスのデューティ比 $D$ 、VCO変調感度 $k_v$ 、位相比較器利得 $k_c$ とすると、スプリアスレベル $P_{sp}$ は、

$$P_{s,0} = 20 \log \left( \frac{r_2}{r_1} k_o k_a \frac{1}{n F_n} D_o \right) \quad \dots (3)$$

となる。なお、スプリアスレベルは基本波 ( $n = 1$ ) が最大であるので、それに直接関係しない部分を  $A$  とすると、

$$P_{s,0} = 20 \log \frac{A}{F_n} \quad \dots (4)$$

と表すことができる。したがって、比較周波数  $F_n$  を小さくすれば、スプリアスレベルは大きくなり信号純度は低下する。

ここで、スプリアスの発生位置は、キャリア信号から比較周波数  $F_n$  と同じだけ離れたところになるので、 $F_n = 125 \text{ kHz}$  とすると、オフキャリア  $125 \text{ kHz}$  にスプリアスが発生する。

一方、PLL回路のループフィルタ53は低域通過特性をもち、ループ帯域  $F_L$  は通常数十kHz程度である。したがって、比較周波数  $F_n$  を小さくすることにより、比較周波数  $F_n$  とループ帯域  $F_L$  が接近すると、ループフィルタではこのスプリアスが十分に減衰できなくなる。

構成が知られている。

すなわち、第一ループに出力周波数間隔の粗を分担させ、第二ループに出力周波数間隔の密を分担させて第一ループを補間させるPLL回路の二重ループを構成することにより、各分周器の分周数を低減させ雑音特性の改善を図っている。

第6図において、位相比較器61<sub>1</sub>、ループフィルタ(LF)63<sub>1</sub>、電圧制御発振器(VCO)65<sub>1</sub>および可変分周器( $1/N_1$ )67<sub>1</sub>で構成される第一ループと、位相比較器61<sub>2</sub>、ループフィルタ(LF)63<sub>2</sub>、電圧制御発振器(VCO)65<sub>2</sub>および可変分周器( $1/N_2$ )67<sub>2</sub>で構成される第二ループとを備え、各電圧制御発振器65<sub>1</sub>、65<sub>2</sub>の出力をミキサ69を介して第一のループの可変分周器67<sub>1</sub>に取り込む構成である。

なお、基準周波数信号REFは、第一ループの位相比較器61<sub>1</sub>に比較周波数  $F_{n,1}$  を与え、固定分周器( $1/M$ )71を介して第二ループの位相比較器61<sub>2</sub>に比較周波数  $F_{n,2}$  を与える。

一般に、周波数シンセサイザに要求されるスプリアスレベルは、必要とする信号と不要波のレベル比 ( $D/U$ ) で  $70 \sim 80 \text{ dBc}$  であり、ループフィルタによるスプリアス除去が十分でない場合には、さらに低域通過フィルタを追加する必要がある。ところが、比較周波数  $F_n$  とループ帯域  $F_L$  が接近していると、追加した低域通過フィルタの位相まわりにより、ループの応答に悪影響が表れて位相雑音が悪化する。

また、 $F_n < F_L$  となった場合には、低域通過フィルタを追加しても比較周波数  $F_n$  によるスプリアスを減衰させることはできない。すなわち、低域通過フィルタのカットオフ周波数  $F_c$  をループ帯域  $F_L$  より低域にとることは、ループ応答がカットオフ周波数  $F_c$  により決定されることにより、希望するPLL特性が得られなくなるために、比較周波数  $F_n$  によるスプリアスの除去は困難といえる。

このような信号純度の劣化を改善する方法として、第6図に示すPLL回路を二重ループにする

ここで、例えば比較周波数  $F_{n,1} = 2 \text{ MHz}$ 、出力周波数  $F_{o,1} = 1 \sim 1.5 \text{ GHz}$ 、出力周波数間隔を  $125 \text{ kHz}$  とするには、第二ループの固定分周器71の分周数  $M$  を16として比較周波数  $F_{n,2} = 125 \text{ kHz}$  とし、電圧制御発振器65<sub>2</sub>の出力周波数  $F_{s,2} (= F_{n,2} \cdot N_2)$  を  $800 \sim 802 \text{ MHz}$  とする。

周波数シンセサイザの出力周波数  $F_{o,1}$  の周波数間隔は、第二ループの比較周波数  $F_{n,2}$  によって決められるので、第一ループの周波数間隔は  $2 \text{ MHz}$  とすることができる。したがって、可変分周器67<sub>1</sub>の分周数  $N_1$  は、ミキサ69の出力周波数  $F_{s,1}$  が  $F_{o,1} - F_{s,2}$  となるミクスダウン効果により、最大で、

$$N_1 = \frac{F_{o,1} - F_{s,2}}{F_{n,1}} = \frac{1500 - 800}{2} = 350$$

となり、ループ帯域内の雑音劣化量  $P_{n,1}$  を  $50.1 (= 20 \log 350) \text{ dB}$  に低減できる。

また、第二ループの可変分周器67<sub>2</sub>の分周数  $N_2$  は、

$$N_2 = \frac{F_{s,2}}{F_{n,2}} = \frac{800}{0.125} = 6400$$

となり、ループ帯域内の雑音劣化量  $P_{F_2}$  は、76.1 ( $=20\log 6400$ ) dBとなる。

このように、二重ループのPLL回路により構成される周波数シンセサイザでは、単一ループの構成に比べて分周数の低減が可能となり、雑音特性の改善が可能になっている。

(発明が解決しようとする課題)

ところで、全体のループ帯域内の雑音劣化量は、各ループの雑音劣化量の和となるが、第二ループの雑音劣化量  $P_{F_2}$  が圧倒的に大きいために、ほぼ  $P_{F_2}$  に支配される。したがって、第二ループの出力周波数  $F_2$  を下げれば、その分周数  $N_2$  を小さくすることができ、延いては雑音劣化量  $P_{F_2}$  が小さくなって特性改善に寄与するところが大きくなる。

しかし、ミキサ69で第一ループの出力周波数  $F_{01}$  とミキシングされるために、一方的に下げることができない。

第7図は、ミキサ69の出力周波数  $F_L$  の範囲を示す図である。

なお、ここでは第一ループの出力周波数  $F_{01}$  が1~1.5GHz、第二ループの出力周波数  $F_2$  が800MHzの場合において、対応するミキサ69の出力周波数  $F_{L-} (= F_{01} - F_2)$ 、 $F_{L+} (= F_{01} + F_2)$  を示す。

第7図(a)において、 $F_{L-}$  は200~700MHz、 $F_{L+}$  は1800~2300MHzとなり、各周波数成分は周波数軸上で重なりを持たないためにフィルタにより切り分けが可能である。したがって、各周波数成分に他の周波数成分が干渉することはない。

ところが、第二ループの出力周波数  $F_2$  を仮に  $1/2(400\text{MHz})$  とした場合には、分周数  $N_2$  は3200 ( $=400/0.125$ ) となり、雑音劣化量  $P_{F_2}$  は70.1 ( $=20\log 3200$ ) dBとなって6dBの改善効果が見込めるが、第7図(b)に示すように、 $F_{L-}$  は600~1000MHz、 $F_{L+}$  は1400~1900MHzとなり、第一ループの出力周波数  $F_{01}$  (1~1.5GHz) と周波数軸上で重なる。

したがって、フィルタでは各周波数成分を切り分けることができず、第一ループの帰還信号中に

出力周波数  $F_{01}$  成分が混入し、ミキサ69の後段にある可変分周器67の誤動作を招くことになる。また、出力周波数  $F_{01}$  内にもミキサ出力周波数  $F_{L-}$ 、 $F_{L+}$  の成分が混入し、除去不能の不要波となる。

一方、第一ループで発生するスプリアスは、比較周波数  $F_{01}$  を2MHzとしたことによりそのレベルが下がり、発生位置もオフキャリア2MHzとなるために、単一ループと比較して除去は容易となる。すなわち、スプリアスレベル  $P_{01}$  の改善量は、他の条件が同一であれば、

$20\log(F_{01}/F_{01}) = 20\log(0.125/2) = -24(\text{dB})$  となり、二重ループにすることにより24dBの改善が見込める。

しかし、これは第一ループで発生するスプリアスについてのみ言えることであり、第二ループの比較周波数  $F_{02}$  は125kHzでなければならないために、第二ループのスプリアスは改善されず、同様に除去は困難になっている。

ところで、第二ループの出力はミキサ69に入

力されるために、そのスプリアスが十分に除去されていなければ、ミキサ69により非常に多くの不要波を発生することになり、結果として信号純度の劣化を引き起こすことになる。

このように、従来の周波数シンセサイザでは、その周波数間隔を小さくしようとすると、ループ帯域内の位相雑音を十分に小さくできないばかりでなく、スプリアスが十分に抑圧できない問題点が生じていた。

本発明は、出力信号の周波数間隔を小さくする場合に、ループ帯域内の位相雑音特性およびスプリアス特性の劣化を回避することができる周波数シンセサイザを提供することを目的とする。

(課題を解決するための手段)

第1図は、本発明の原理ブロック図である。

図において、第一の位相同期ループ回路11および第二の位相同期ループ回路13は、それぞれ所定の比較周波数  $F_{01}$ 、 $F_{02}$  の信号を取り込み、それぞれ対応する周波数間隔で発振周波数を制御

する。

第一の位相同期ループ回路11および第二の位相同期ループ回路13を備える周波数シンセサイザは、各位相同期ループ回路の出力を混合し、所定の周波数間隔で所定の出力周波数 $F_{out}$ の信号を出力する。

本発明は、各位相同期ループ回路11、13の比較周波数 $F_{s1}$ および $F_{s2}$ を互いに因数の関係にない値に設定する。

さらに、各位相同期ループ回路11、13の分周数 $N_1$ 、 $N_2$ を、比較周波数 $F_{s1}$ と $F_{s2}$ との最大公約数の周波数間隔で出力周波数 $F_{out}$ を可変する所定の組み合わせに応じた値に設定する。

また、一方の位相同期ループ回路の分周数は、その出力周波数が少なくとも各位相同期ループ回路11、13の比較周波数 $F_{s1}$ および $F_{s2}$ の最小公倍数の可変幅となる値に設定される。

#### 〔作用〕

本発明は、各位相同期ループ回路11、13の

比較周波数 $F_{s1}$ および $F_{s2}$ を互いに因数の関係にない値に設定し、さらに分周数 $N_1$ 、 $N_2$ を所定の組み合わせに応じた値に設定し、各位相同期ループ回路の出力を混合することにより、比較周波数 $F_{s1}$ と $F_{s2}$ との最大公約数の周波数間隔で、出力周波数 $F_{out}$ を可変することができる。

すなわち、従来方式は一方の位相同期ループ回路の比較周波数に応じた周波数間隔で、出力周波数 $F_{out}$ の周波数間隔が決定されていたが、本発明では、各位相同期ループ回路11、13の比較周波数 $F_{s1}$ 、 $F_{s2}$ の最大公約数で出力周波数 $F_{out}$ の周波数間隔が設定可能になるので、少なくとも一方の比較周波数を高くすることができる。したがって、分周数を小さくすることができ、ループ帯域内での雑音特性を改善することができる。

なお、一方の位相同期ループ回路の出力周波数は、各位相同期ループ回路11、13の比較周波数 $F_{s1}$ 、 $F_{s2}$ の最大公倍数の可変幅を有する。

#### 〔実施例〕

二重ループのPLL回路により構成された周波数シンセサイザにおいて、各ループの出力を混合するミキサの出力周波数 $F_L$ は、上述したように周波数シンセサイザの出力周波数を $F_{out}$ 、第二ループの出力周波数を $F_2$ としたときに、

$$F_L = F_{out} - F_2$$

となる。

一方、第一ループの比較周波数が $F_{s1}$ 、分周数が $N_1$ 、第二ループの比較周波数が $F_{s2}$ 、分周数が $N_2$ である場合には、

$$F_L = N_1 \cdot F_{s1}$$

$$F_2 = N_2 \cdot F_{s2}$$

である。したがって、周波数シンセサイザの出力周波数 $F_{out}$ は、

$$\begin{aligned} F_{out} &= F_L + F_2 \\ &= N_1 \cdot F_{s1} + N_2 \cdot F_{s2} \quad \dots (1) \end{aligned}$$

となる。ここで、第一項は第一ループの周波数ステップ( $F_{s1}$ )による出力周波数 $F_{out}$ の周波数間隔となり、第二項は第二ループの周波数ステッ

プ( $F_{s2}$ )による出力周波数 $F_{out}$ の周波数間隔となる。

なお、従来の構成では、第一ループの比較周波数 $F_{s1}$ が大きく変化する出力周波数 $F_{out}$ の周波数間隔を示し、第二ループの比較周波数 $F_{s2}$ がその範囲内で補間調整される出力周波数 $F_{out}$ の周波数間隔を示していた。すなわち、従来の周波数シンセサイザでは、第一ループの分周数 $N_1$ 、あるいは第二ループの分周数 $N_2$ の何れか一方を増減させることにより出力周波数 $F_{out}$ を決め、また第二ループの比較周波数 $F_{s2}$ がその周波数間隔を決定していた。

本発明では、第一ループの分周数 $N_1$ および第二ループの分周数 $N_2$ を同時に変化させることにより、各ループの比較周波数 $F_{s1}$ 、 $F_{s2}$ の最大公約数を出力周波数 $F_{out}$ の周波数間隔とするものである。なお、第二ループの出力周波数 $F_2$ は、比較周波数 $F_{s1}$ 、 $F_{s2}$ の最小公倍数の周波数可変幅を有する。

ここで、各ループの比較周波数 $F_{s1}$ 、 $F_{s2}$ の最

大公約数を $F_0$ 、互いに素の関係にある整数を $P$ および $Q$ とし、

$$\left. \begin{aligned} F_{s1} &= P \cdot F_0 \\ F_{s2} &= Q \cdot F_0 \end{aligned} \right\} \dots 02$$

とすると、02式から出力周波数 $F_{out}$ は、

$$\begin{aligned} F_{out} &= N_1 \cdot P \cdot F_0 + N_2 \cdot Q \cdot F_0 \\ &= (N_1 \cdot P + N_2 \cdot Q) \cdot F_0 \end{aligned} \dots 03$$

と表すことができる。

すなわち、この03式は、各ループの分周数 $N_1$ および $N_2$ を適宜設定することにより、出力周波数 $F_{out}$ が各ループの比較周波数 $F_{s1}$ 、 $F_{s2}$ に比べて $1/P$ および $1/Q$ の周波数間隔 $F_0$ で変更できることを示している。

以下、図面に基づいて本発明の実施例について詳細に説明する。

第2図は、本発明周波数シンセサイザの実施例構成を示すブロック図である。

なお、本実施例の基本構成は、第6図に示すPLL回路を二重ループにした従来構成と同様であるので同一番号を付与して説明に代える。

御発振器63の発振周波数可変幅)10MHzは、 $F_{s1} = 2\text{MHz}$ と $F_{s2} = 625\text{kHz}$ の最小公倍数である。

また、この場合には、ミキサ69の出力周波数 $F_{L'} (= F_{out} - F_2)$ を192~700MHzとし、分周数 $N_1$ を96( $=192/2$ )~350( $=700/2$ )とする。

以上の関係に基づく本発明実施例の各周波数関係を第3図に示す。

ミキサ69の出力周波数 $F_{L'} (= F_{s1} \cdot N_1)$ は、分周数 $N_1$ を96から1増加することにより192MHz、194MHz、…と2MHzずつ異なる値をとり、第二ループの出力周波数 $F_2 (= F_{s2} \cdot N_2)$ は分周数 $N_2$ を1280から1増加することにより800MHz、800.625MHz、…と625kHzずつ異なる値となる。

ここで、02式において、 $F_0 = 125\text{kHz}$ 、 $P = 16$ 、 $Q = 5$ であり、03式において、例えば $N_1 = 96$ 、 $N_2 = 1293$ とした場合には、 $F_{L'} = 192\text{MHz}$ 、 $F_2 = 808.125\text{MHz}$ となり、 $F_{out} = 1000.125\text{MHz}$ となる。また、 $N_1 = 97$ 、 $N_2 = 1290$ とした場合には、 $F_{L'} = 194\text{MHz}$ 、 $F_2 = 806.25\text{MHz}$ となり、 $F_{out} = 1000.25\text{MHz}$ となる。

本実施例の特徴とするところは、各ループの位相比較器61<sub>1</sub>、61<sub>2</sub>に入力される比較周波数 $F_{s1}$ 、 $F_{s2}$ の信号が02式の関係を満たすために、それぞれ互いに素の関係の分周数 $M_1$ 、 $M_2$ を有する固定分周器21<sub>1</sub>、21<sub>2</sub>を備え、基準周波数信号REFをそれぞれ分周して各ループの位相比較器61<sub>1</sub>、61<sub>2</sub>に接続し、さらに各ループの可変分周器67<sub>1</sub>、67<sub>2</sub>の分周数 $N_1$ 、 $N_2$ を所定の関係に従って切り替えるところにある。

以下、説明を容易にするために、具体的数値を用いて説明する。

基準周波数信号REFの周波数が10MHz、 $M_1 = 5$ および $M_2 = 16$ とすることにより得られる比較周波数 $F_{s1} = 2\text{MHz}$ 、 $F_{s2} = 625\text{kHz}$ を用いて、第二ループの出力周波数 $F_2$ を800~810MHzとし、分周数 $N_2$ を1280( $=800/0.625$ )~1296( $=810/0.625$ )として、第一ループの電圧制御発振器63で1000~1500MHzの出力周波数 $F_{out}$ および周波数間隔125kHzを実現する構成とする。なお、第二ループの出力周波数 $F_2$ の周波数可変幅(電圧制

このように、各ループの比較周波数 $F_{s1}$ 、 $F_{s2}$ がそれぞれ2MHz、625kHzであっても、分周数 $N_1$ 、 $N_2$ を適宜選択することにより、出力周波数 $F_{out}$ の周波数間隔を125kHzにすることができる。

表は、出力周波数 $F_{out}$ (MHz)と各ループの分周数 $N_1$ 、 $N_2$ との関係を示す。

(以下本頁余白)

表

出力周波数 $F_{out}$ (MHz) ( $=F_{L1}+F_2$ )	分周数 $N_1$	$F_{L1}$ (MHz)	分周数 $N_2$	$F_2$ (MHz)
1000	100	200	1280	800
1000.125	96	192	1293	808.125
1000.25	97	194	1290	806.25
1000.375	98	196	1287	804.375
1000.5	99	198	1284	802.5
1000.625	100	200	1281	800.625
1000.75	96	192	1294	808.75
1000.875	97	194	1291	806.875
1001	98	196	1288	805
⋮	⋮	⋮	⋮	⋮
1499	347	694	1288	805
1499.125	348	696	1285	803.125
1499.25	349	698	1282	801.25
1499.375	345	690	1295	809.375
1499.5	346	692	1292	807.5
1499.625	347	694	1289	805.625
1499.75	348	696	1286	803.75
1499.875	349	698	1283	801.875
1500	350	700	1280	800

から5倍離れることにより約14dBの大きな減衰が得られる。

第4図は、本発明周波数シンセサイザの他の実施例構成を示すブロック図である。

本実施例の特徴とするところは、第2図に示した実施例が第一ループの帰還信号( $F_{out}$ )に第二ループの出力( $F_2$ )を合成し、ミクスダウン方式で所望の周波数間隔で出力周波数を制御する構成に対して、第一ループと第二ループとを独立させ、ループ外にミキサ41をもち、各ループの出力を合成して出力周波数 $F_{out}$ を得る外部混合方式をとる構成にある。

すなわち、第一ループの電圧制御発振器61、が上述の例では、1000~1500MHzの範囲を125kHz間隔で発振制御されていたものを、本実施例では192~700MHzの範囲を2MHz間隔で発振制御される他は、第一ループおよび第二ループとも第2図に示す実施例と同様である。したがって、各可変分周器67<sub>1</sub>、67<sub>2</sub>の分周数 $N_1$ 、 $N_2$ を表に示す組み合わせによって設定することにより、同

のように、第一ループの可変分周器67<sub>1</sub>の分周数 $N_1$ は従来とほぼ同様の値であるが、第二ループの可変分周器67<sub>2</sub>の分周数 $N_2$ は、比較周波数 $F_{ref}$ が625kHzであるので、出力周波数 $F_2$ が800MHzにおいては1280(800/0.625)となり、(2)式よりループ帯域内の雑音劣化量 $P_r$ は、

$$P_r = 20 \log 1280 = 62.1 \text{ (dB)}$$

となり、従来の分周数6400に対応する雑音劣化量( $P_{rs}$ )76.1dBに比べて14dBの改善となる。

また、スプリアスレベル $P_s$ の改善量は、比較周波数 $F_{ref}$ が125kHzから625kHzになることにより、

$$20 \log (125/625) = -14 \text{ (dB)}$$

となり、14dBの改善となる。

さらに、スプリアスの発生位置も従来のオフキャリア125kHzから625kHzと5倍になることにより、フィルタなどを用いたスプリアスの抑圧が容易となる。たとえば、-6dB/octの減衰特性をもつ低域通過フィルタを追加してスプリアスを抑圧を行った場合に、従来と同様のカットオフ周波数であるとすれば、スプリアスの発生位置がキャリア

様に1000~1500MHzの範囲を125kHz間隔で発振制御させることができる。

#### 〔発明の効果〕

上述したように、本発明によれば、二重ループのPLL回路で構成される周波数シンセサイザにおいて、出力周波数 $F_{out}$ の周波数間隔がPLL回路の比較周波数の最小公倍数とすることができるので、周波数間隔に比べて比較周波数を大きくとることが可能になる。

したがって、各PLL回路の分周数を小さくすることができ、ループ帯域内での位相雑音特性およびスプリアス特性をとともに改善することができる。すなわち、位相雑音特性およびスプリアス特性を劣化させることなく、限られた帯域内でのチャネル数の増加を容易にすることができる。

#### 4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の実施例構成を示すブロック図、

第3図は本実施例における各周波数関係を説明する図、

第4図は本発明の他の実施例構成を示すブロック図、

第5図はPLL回路を用いた従来構成を示すブロック図、

第6図は二重ループによる従来構成を示すブロック図、

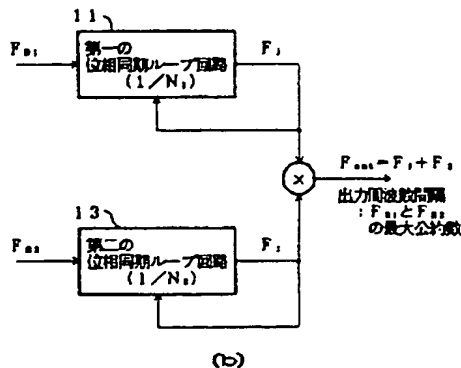
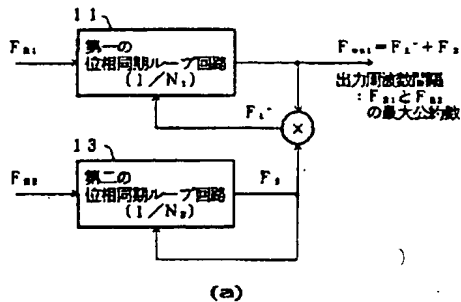
第7図はミキサの出力周波数の範囲を示す図である。

図において、

- 11は第一の位相同期ループ回路、
- 13は第二の位相同期ループ回路、
- 21は固定分周器( $1/M_1$ 、 $1/M_2$ )、
- 41はミキサ、
- 51は位相比較器、
- 53はループフィルタ(LF)、
- 55は電圧制御発振器(VCO)、
- 57は可変分周器( $1/N$ )、

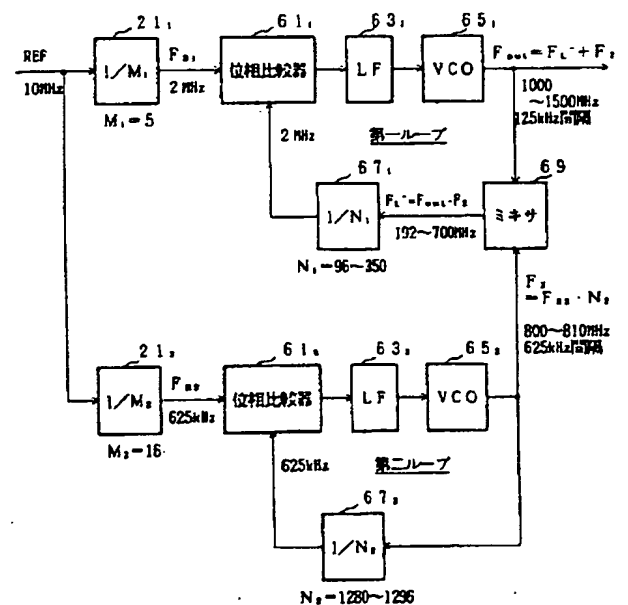
- 61は位相比較器、
- 63はループフィルタ(LF)、
- 65は電圧制御発振器(VCO)、
- 67は可変分周器( $1/N_1$ 、 $1/N_2$ )、
- 69はミキサ、
- 71は固定分周器( $1/M$ )。

特許出願人 富士通株式会社  
代理人 弁理士 古谷 史 旺



本発明原理ブロック図

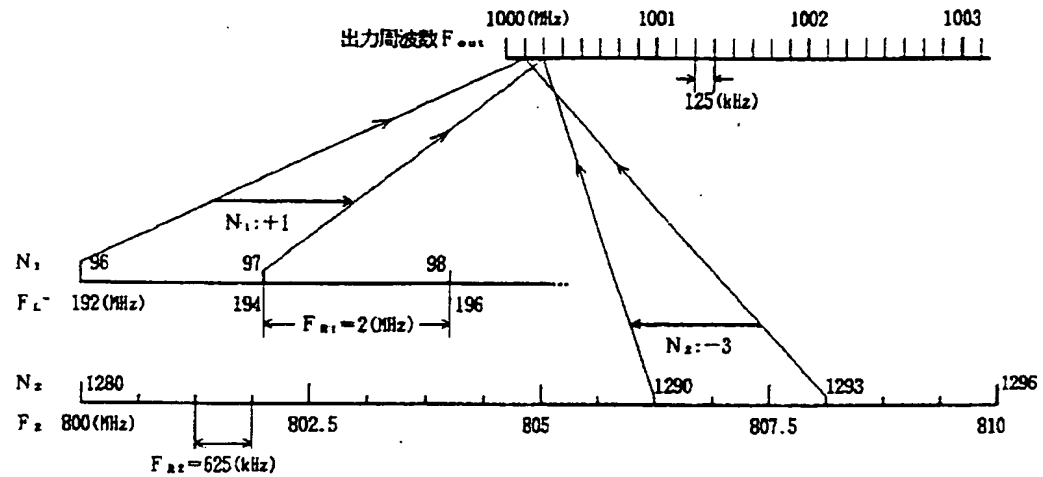
図1



本発明の実施例構成を示すブロック図

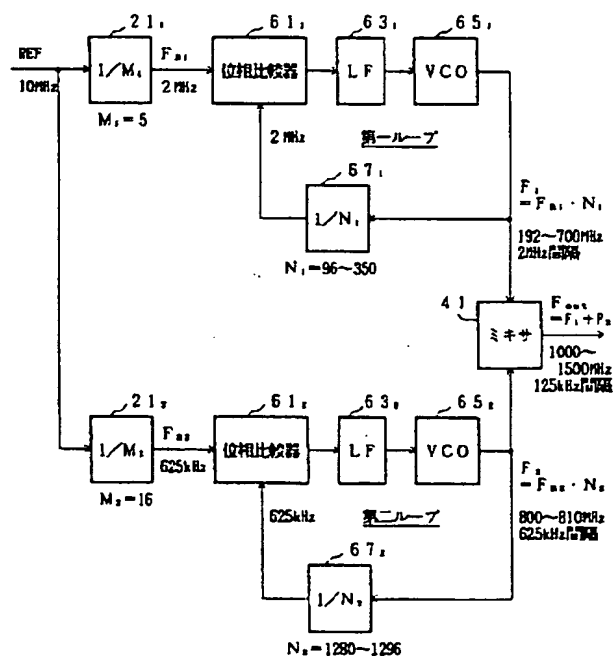
図2





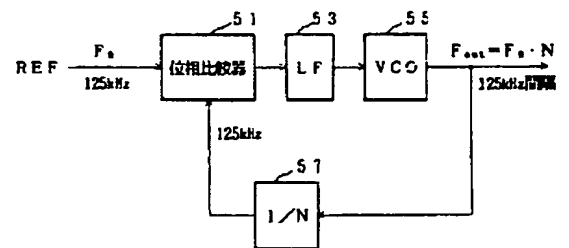
本実施例における各周波数関係を説明する図

第 3 図



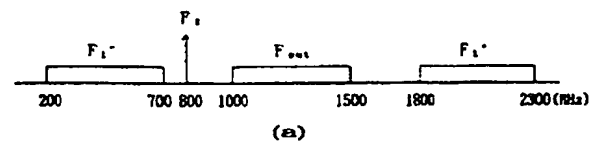
本発明の他の実施例構成を示すブロック図

第 4 図

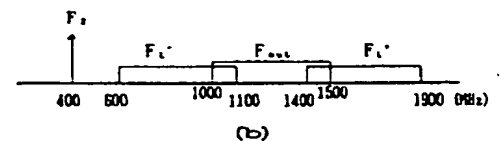


PLL回路を用いた従来構成を示すブロック図

第 5 図



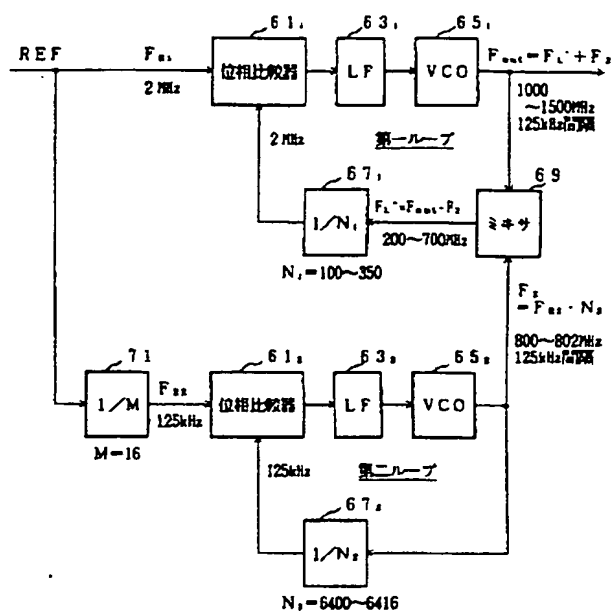
(α)



(β)

ミキサの出力周波数の範囲を示す図

第 7 図



従来の二重ループ構成を示すブロック図

図 6 [2]